

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-308333

(43) Date of publication of application : 02.11.2001

(51) Int. Cl.

H01L 29/786
G02F 1/1368

(21) Application number : 2000-120767 (71) Applicant : MATSUSHITA ELECTRIC IND CO LTD

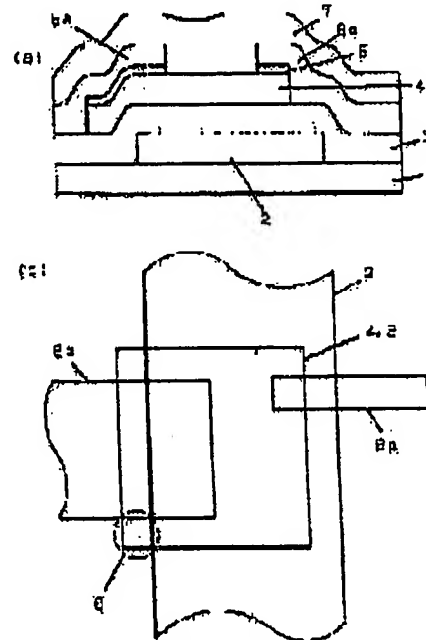
(22) Date of filing : 21.04.2000 (72) Inventor : TERAUCHI MASAHARU

(54) THIN FILM TRANSISTOR

(57) Abstract:

PROBLEM TO BE SOLVED: To solve the problem where light from back light is made to enter an amorphous silicon film in a part protruded from a gate electrode from a glass substrate side when a liquid crystal display device is operated, an off-leakage current of a thin film transistor is increased and performance as a pixel switch element is deteriorated.

SOLUTION: The smaller one of one edge of a gate electrode which overlaps a source electrode or the other edge of the gate electrode which overlaps with a drain electrode is covered with an amorphous silicon film becoming to a channel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-308333

(P2001-308333A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
H 0 1 L	29/786	H 0 1 L 29/78	6 1 6 T 2 H 0 9 2
G 0 2 F	1/1368	G 0 2 F 1/136	5 0 0 5 F 1 1 0
		H 0 1 L 29/78	6 1 8 C
			6 1 9 B

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願2000-120767(P2000-120767)

(22) 出願日 平成12年4月21日 (2000.4.21)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 寺内 正治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 2H092 JA26 JA29 JB54 KA05 MA19
NA22 PA13

5F110 AA06 AA26 CC07 DD02 GG02

GG15 GG22 GG26 HK02 HK09

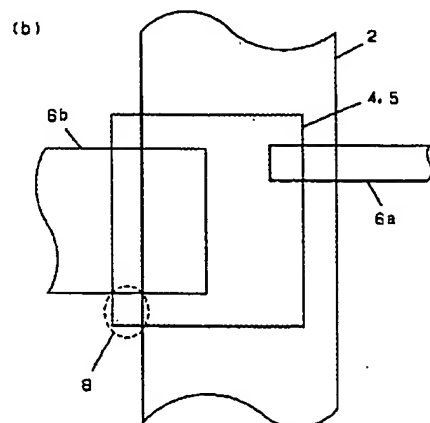
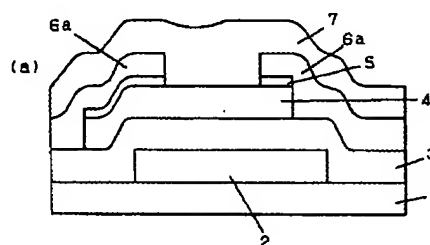
HK21 HM02 HM12 NN41 QQ04

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【課題】 液晶表示装置を駆動させるときにガラス基板側から、バックライトによる光がゲート電極からはみ出た部分のアモルファスシリコン膜に入射され、薄膜トランジスタのオフリーク電流が増大し、画素スイッチ素子としての性能が劣化するという課題があった。

【解決手段】 ソース電極をオーバーラップする、ゲート電極の一方のエッジ部分あるいは、ドレイン電極とオーバーラップする、ゲート電極の他方のエッジ部分の小さい方を、チャネル部となるアモルファスシリコン膜で覆う。



【特許請求の範囲】

【請求項1】絶縁性基板上にゲート電極、ゲート絶縁膜、チャネル部分となるアモルファスシリコン膜、前記アモルファスシリコン膜の一方と電気的に接続するソース電極及び他方と接続するドレイン電極を有する薄膜トランジスタにおいて、前記ソース電極とオーバーラップする、ゲート電極の一方のエッジ部分あるいは、前記ドレイン電極とオーバーラップする、ゲート電極の他方のエッジ部分の、小さい方を、前記チャネル部となるアモルファスシリコン膜で覆うことを特徴とする薄膜トランジスタ。

【請求項2】絶縁性基板上にゲート電極、ゲート絶縁膜、チャネル部分となるアモルファスシリコン膜、前記アモルファスシリコン膜の一方と電気的に接続するソース電極及び他方と接続するドレイン電極を有する薄膜トランジスタにおいて、前記ソース電極とオーバーラップする、ゲート電極の一方のエッジ部分あるいは、前記ドレイン電極とオーバーラップする、ゲート電極の他方のエッジ部分のどちらか一方を、前記チャネル部分となるアモルファスシリコン膜からは、分離されたアモルファスシリコン膜で覆い、その他方の部分は、前記チャネル部となるアモルファスシリコン膜で覆うことを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばフラットパネルディスプレイにおいて各画素をスイッチングする素子として用いられる薄膜トランジスタに関する。

【0002】

【従来の技術】近年、液晶表示装置は、市場の拡大に伴い、大型化、高精細化、高輝度化へと開発が進められている。その中でも、特に画素スイッチ素子を薄膜トランジスタで作製し、基板に組み込んだ、アクティブマトリックス液晶表示装置は、液晶表示装置の主流となっている。この液晶表示装置の画素スイッチ素子を成す薄膜トランジスタは従来、図3に示すような構成で作製されている。

【0003】図3(a)に断面図を示す。ガラス基板1上に所定形状のゲート電極2を形成し、その上に所定形状のゲート絶縁膜3を形成する。さらに高抵抗アモルファスシリコン膜4、さらにその上にソース・ドレイン電極とコンタクト部となる低抵抗アモルファスシリコン膜5を成膜する。その後、高抵抗アモルファスシリコン膜4、低抵抗アモルファスシリコン膜5を、所定形状に形成する。次にソース電極6a、ドレイン電極6bとなる金属膜を成膜する。この金属膜を所定形状に形成して、ソース電極6a、ドレイン電極6bを形成する。このソース電極6a、ドレイン電極6bをエッチングのマスクとしてチャネル部直上の低抵抗アモルファスシリコン膜5及び高抵抗アモルファスシリコン膜4の一部をS

F₆、CCl₄等のガスを用いたドライエッチングを用いて除去する。その後保護膜7を形成する。

【0004】従来、高抵抗及び低抵抗アモルファスシリコン膜4、5は、図3(b)に示すようにソース・ドレイン電極とオーバーラップする部分の、ゲート電極のエッジ部分を覆っていた。これは、ソース・ドレイン電極と、ゲート電極のエッジ部分の間でのゲート電界による絶縁破壊を防ぐために行われていた。この構造では、液晶表示装置を駆動させるときにガラス基板1側から、バックライトによる光がゲート電極からはみ出た部分すなわち、ゲート電極で遮光されていない高抵抗アモルファスシリコン膜8に入射され、薄膜トランジスタのオフリーク電流が増大していた。

【0005】

【発明が解決しようとする課題】従来の薄膜トランジスタは、図3(b)の平面図に示すように、ソース・ドレイン電極と、ゲート電極のエッジ部分の間での絶縁破壊を防ぐために、高抵抗アモルファスシリコン膜4は、ソース電極、ドレイン電極とオーバーラップする部分の、ゲート電極のエッジ部分を覆う形状となっていた。しかしながら、この構造では、液晶表示装置を駆動させるときにガラス基板1側から、バックライトによる光がゲート電極からはみ出た部分の高抵抗アモルファスシリコン膜8に入射され、薄膜トランジスタのオフリーク電流が増大し、画素スイッチ素子としての性能が劣化するという課題があった。

【0006】

【課題を解決するための手段】本発明は上記の課題を解決するために成されたものであって、ソース電極とオーバーラップ、ゲート電極のエッジ部分、あるいは、ドレイン電極とオーバーラップする、ゲート電極の他方のエッジ部分のうち、どちらか一方を他方に比べて小さくし、且つ、大きい方のエッジ部分をアモルファスシリコン膜で覆う。このような構成とすることで、バックライトからの入射光を吸収する高抵抗アモルファスシリコン膜の部分がドレイン電極側、あるいはソース電極側のみになり、オフリーク電流は、ほとんど増大しない。

【0007】また、ドレイン電極もしくは、ソース電極とゲート電極のオーバーラップ部分のうち、アモルファスシリコン膜で覆われていない部分の面積が小さいため、ソース電極、ドレイン電極と、ゲート電極のエッジ部分の間での絶縁破壊の確率は低い。

【0008】また、他の手段としては、ソース電極及びドレイン電極とオーバーラップする、ゲート電極のエッジ部分を高抵抗アモルファスシリコン膜で覆い、且つソース電極側あるいはドレイン電極側のオーバーラップ部分のどちらか一方を覆う高抵抗アモルファスシリコン膜をチャネル部の高抵抗アモルファスシリコン膜から分離する。このような構成とすることで、分離した高抵抗アモルファスシリコン膜で発生したフォトキャリアはチャ

ネル部に流れ込まないために、オフリーク電流の増大は押さえられる。

【0009】また、ソース電極及びドレイン電極とオーバーラップする、ゲート電極のエッジ部分は全て高抵抗アモルファスシリコン膜で覆われているために、ソース電極、ドレイン電極と、ゲート電極のエッジ部分の間の絶縁破壊の確率は低いという効果を有している。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

【0011】（実施例1）実施例を図面を用いて説明する。

【0012】図1(a)に断面図を示す。ガラス基板1上に所定形状のゲート電極2を形成し、その上に所定形状のゲート絶縁膜3を形成する。さらに高抵抗アモルファスシリコン膜4、さらにその上にソース・ドレイン電極とコンタクト部となる低抵抗アモルファスシリコン膜5を成膜する。その後、高抵抗アモルファスシリコン膜4、低抵抗アモルファスシリコン膜5を、所定形状に形成する。次にソース電極6a、ドレイン電極6bとなる金属膜を成膜する。金属膜を所定形状に形成して、ソース電極6a、ドレイン電極6bを形成する。このソース電極6a、ドレイン電極6bをエッチングのマスクとしてチャンネル部直上の低抵抗アモルファスシリコン膜5及び高抵抗アモルファスシリコン膜4の一部を、 SF_6 、 CCl_4 等のガスを用いたドライエッチングを用いて除去する。この時の各層の形状を図1(b)に示す。

【0013】図1(b)に示すように、ソース電極6a、ドレイン電極6bは、ゲート電極2とオーバーラップする大きさに大小をつけ、大きい側のみ、オーバーラップ部分を高抵抗及び低抵抗のアモルファスシリコン層4、5で覆う構造とする。小さい側ではアモルファスシリコン層がゲート電極からはみ出さない、すなわち、ゲート電極2で遮光される形状とする。その後保護膜7を形成する。

【0014】（実施例2）実施例を図面を用いて説明する。

【0015】図2(a)に断面図を示す。ガラス基板1上に所定形状のゲート電極2を形成し、その上に所定形状のゲート絶縁膜3を形成する。さらに高抵抗アモルファスシリコン膜4、さらにその上にソース・ドレイン電

極とコンタクト部となる低抵抗アモルファスシリコン膜5を成膜する。その後、高抵抗アモルファスシリコン膜4、低抵抗アモルファスシリコン膜5を、所定形状に形成する。次にソース電極6a、ドレイン電極6bとなる金属膜を成膜する。金属膜を所定形状に形成して、ソース電極6a、ドレイン電極6bを形成する。このソース電極6a、ドレイン電極6bをエッチングのマスクとしてチャンネル部直上の低抵抗アモルファスシリコン膜5及び高抵抗アモルファスシリコン膜4の一部を、 SF_6 、 CCl_4 等のガスを用いたドライエッチングを用いて除去する。この時の各層の形状を図2(b)に示す。図2(b)に示すように、ソース電極6a、ドレイン電極6bとゲート電極2とのオーバーラップする部分をアモルファスシリコン層4、5で覆う構造とする。そして、ソース電極側、あるいはドレイン電極側のどちらか一方を、チャンネル部のアモルファスシリコン膜から分離したアモルファスシリコン膜9で覆う。その後保護膜7を形成する。

【0016】

【発明の効果】本発明によれば、液晶表示装置駆動時の、基板側からのバックライトの入射による、オフリーク電流の増大を押さえ、且つソース・ドレイン電極とゲート電極のオーバーラップ部分での絶縁破壊の起こりにくい薄膜トランジスタを作製することができる。

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの一例を示す図

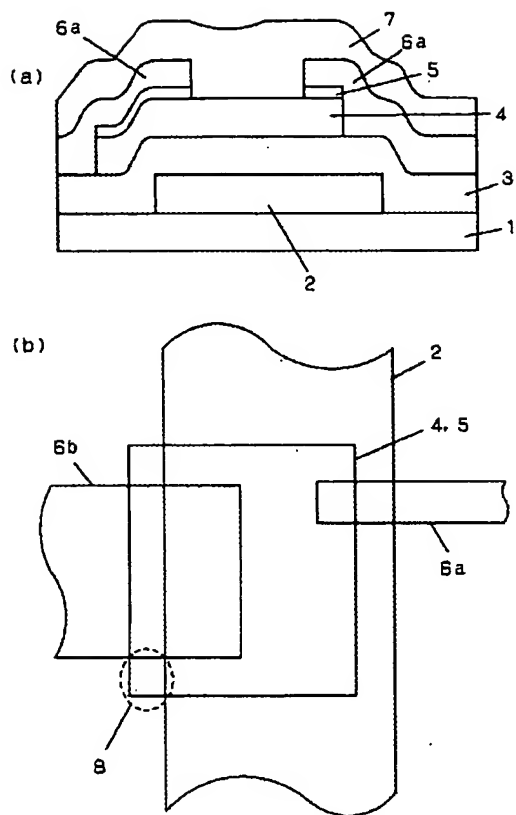
【図2】本発明の薄膜トランジスタの一例を示す図

【図3】従来の薄膜トランジスタの一例を示す図

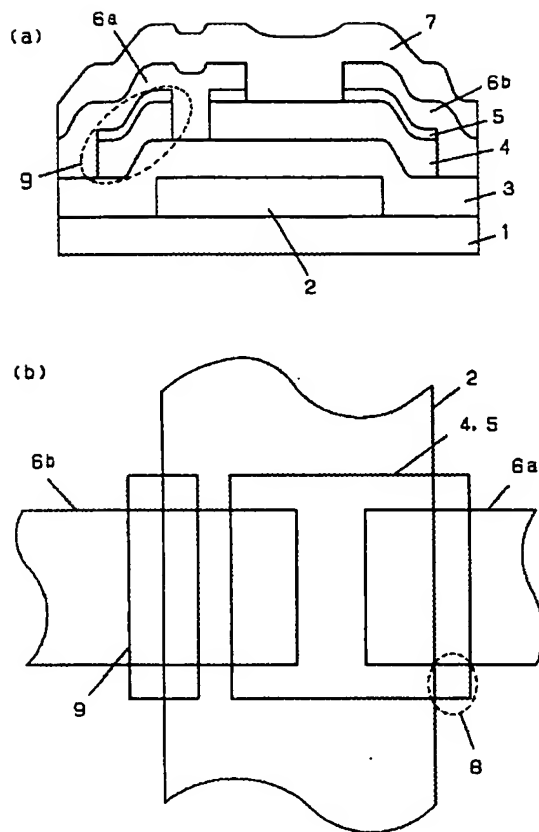
【符号の説明】

- 1 ガラス基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 高抵抗アモルファスシリコン膜
- 5 低抵抗アモルファスシリコン膜
- 6a ソース電極
- 6b ドレイン電極
- 7 保護膜
- 8 ゲート電極で遮光されない高抵抗アモルファスシリコン膜
- 9 チャンネル部のアモルファスシリコン膜から分離されたアモルファスシリコン膜

【図1】



【図2】



【図3】

